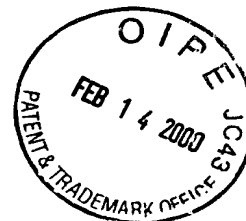


JAPANESE LAID-OPEN PATENT

LAID-OPEN NUMBER: Hei. 4-283729  
LAID-OPEN DATE: October. 8, 1992  
APPLICATION NUMBER: Hei. 3-48300  
FILLING DATE: March 13, 1991  
APPLICANT: Sharp Corporation



[Title of the Invention] ACTIVE MATRIX DISPLAY DEVICE

[Abstract]

[Object] To provide an active matrix display device in which the off-current of each of TFTs is not increased by even the light irradiation from the substrate side.

[Structure] A light blocking film 17 is formed on a substrate 11, and channel layers 12, 12 are formed over the light blocking film 17 through base insulating films 18 and 19. In addition, gate electrodes 3a and 3b are formed over the channel layers 12, 12 through a gate insulating film 13. In such a way, the manufacture of TFTs 25a and 25b is completed.

[Scope of Claim for a Patent]

[Claim 1] An active matrix display device having: a pair of insulating substrates at least one of which is transparent; channel layers which are formed over the transparent substrate; gate electrodes which are formed over said channel layers through a gate insulating film; and a source electrode and a drain electrode which are connected to

said channel layers, said active matrix display device being characterized in that a light blocking film underlies said channel layer through an insulating film.

[Claim 2] An active matrix display device according to claim 1, further comprising a source bus wiring which is connected to said source electrode, wherein said light blocking film underlies said source bus wiring through said insulating film.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Utilization] The present invention relates to an active matrix display device which has thin film transistors (hereinafter, referred to as "TFTs" for short, when applicable) as switching elements and which employs a display medium such as liquid crystal.

[0002]

[Prior Art] A schematic view of a basic configuration of a conventional active matrix display device is shown in Fig. 3. This display device has the structure in which a driving circuit and a TFT array are formed on the same substrate. A gate driving circuit 54, a source driving circuit 55 and a TFT array portion 53 are formed on an insulating substrate 11. A large number of parallel gate bus wirings 1 extending from the

gate driving circuit 54 are provided in the TFT array portion 53. A large number of source bus wirings 2 extend from the source driving circuit 55 and are distributed in such a way as to intersect perpendicularly the gate bus wirings 1. In addition, additional capacity wirings 6 are distributed in such a way as to be parallel to the gate bus wirings 1.

[0003] A TFT 25, a pixel 57 and an additional capacitor 27 are provided in the rectangular area which is surrounded by the source bus wirings 2, 2, the gate bus wiring 1 and the additional capacitor wiring 6. A gate electrode of the TFT 25 is connected to the gate bus wiring 1 and a source electrode thereof is connected to the source bus wiring 2. The space defined between a pixel electrode which is connected to a drain electrode of the TFT 25 and a counter electrode of a counter substrate is filled with liquid crystal to form the pixel 57. The pixel 57 is electrically equal to the capacitor and has the function of holding the signal which has been written to the pixel 57. In addition, the additional capacitor 27 for holding the video signal which has been written to the pixel 57 is formed between the drain electrode of the TFT 25 and the additional capacitor wiring 6. The additional capacitor wiring 6 is connected to the electrode which is at the same electric potential as that of the counter electrode constituting the

pixel 57.

[0004] An enlarged plan view of the pixel portion of the active matrix substrate constituting the display device of Fig. 3 is shown in Fig. 4. A cross sectional view taken on the lines B - B of Fig. 4 is shown in Fig. 5. As shown in Fig. 4, a polycrystalline silicon thin film 30 having substantially the L-like shape is formed on a transparent substrate 11, and a gate insulating film 13 is formed on the polycrystalline silicon thin film 30. In this connection, if necessary, the polycrystalline silicon thin film 30 is subjected to the crystallinity improving treatment such as the annealing. A lower electrode 5 for the capacitor is formed by doping the polycrystalline silicon thin film 30 with the predetermined impurity ions by utilizing the ion implantation method.

[0005] A gate bus wiring 1, gate electrodes 3a and 3b, and the additional capacitor wiring 6 each of which is made of polycrystalline silicon are formed on the gate insulating film 13. A part of the gate bus wiring 1 functions as the gate electrode 3a. The additional capacitor wiring 6 has, as shown in Fig. 4, a wide portion 6a and a branching portion 6b which branches towards the gate electrodes 3a and 3b. An additional capacitor 27 is formed in the overlapping portion of the additional capacitor wiring 6, the wide portion 6a and

branching portion 6b thereof and the above-mentioned polycrystalline silicon film 30. As a result, the additional capacitor 27 has also the L-like shape. The impurity ions are implanted into the portion other than the portion which becomes channel layers 12, 12 underlying the gate electrodes 3a and 3b with the gate electrodes 3a and 3b as a mask by utilizing the ion implantation method. As a result, a source region and a drain region of the TFTs 25a and 25b, and the channel layers 12, 12 are formed in the self-aligned manner. In this connection, in this display device, the TFT 25 consists of the two TFTs 25a and 25b.

[0006] An interlayer insulating film 14 is formed over the gate bus wiring 1, the gate electrodes 3a and 3b, and the additional capacitor wiring 6. Two contact holes 7a and 7b are formed through the interlayer insulating film 14 as shown in Fig. 5. The source bus wiring 2 and a pixel connection electrode 9 are formed on the interlayer insulating film 14. The source bus wiring 2 has, as shown in Fig. 4, the zigzag shape and a source projecting portion 2a is provided in the portion corresponding to the upper portion on the left-hand side in the figure of the source bus wiring 2. The source projecting portion 2a is connected to the source region of the TFT 25a through the contact hole 7a. A pixel connection

electrode 9 is connected to the drain region of the TFT 25b through the contact hole 7b. In addition, the whole surface of the source bus wiring 2 and the pixel connection electrode 9 is covered with an insulating layer 16 through which a contact hole 7c is formed. Also, the pattern of the pixel electrode 4 made of ITO is formed on the insulating layer 16. The pixel electrode 4 is connected to the pixel connection electrode 9 through the contact hole 7c. The pixel electrode 4 overlies, as shown in Fig. 4, the side portion of the gate bus wiring 1, the source bus wiring 2 and the additional capacitor wiring 6 and also overlies the wide portion 6a and the branching portion 6b of the additional capacitor wiring 6.

[0007]

[Problems to be Solved by the Invention] In this active matrix substrate, the channel layers 12, 12 of the TFT 25 is formed on the substrate 11 side, and the gate electrodes 3a and 3b are formed in such a way as to overlie the channel layers 12, 12. For this reason, when the light is made incident from the substrate 11 side, the light is directly made incident to the channel layers 12, 12 of the TFT 25. As a result, the carriers are generated in the channel layers 12, 12 due to the optical excitation so that the off-current when the TFT 25 is in the off state is increased. If the off-current is

increased, then the threshold voltage  $V_{th}$  is also increased and hence the problem occurs in the reliability.

[0008] In the light of the foregoing, the present invention was made in order to solve the above-mentioned problems associated with the prior art, and it is therefore an object of the present invention to provide an active matrix display device in which the off-current of the TFT is not increased by even the light irradiation from the substrate side.

[0009]

[Means for Solving the Problems] In order to attain the above-mentioned object, according to one aspect of the present invention, there is provided an active matrix display device having: a pair of insulating substrates at least one of which is transparent; channel layers which are formed over the transparent substrate; gate electrodes which are formed over the channel layers through a gate insulating film; and a source electrode and a drain electrode which are connected to the channel layers, wherein a light blocking film underlies the channel layer through an insulating film.

[0010] In addition, according to another aspect of the present invention, there is provided an active matrix display device further including a source bus wiring which is connected

to the source electrode, wherein the light blocking film underlies the source bus wiring through the insulating film.

[0011]

[Embodiment] An embodiment of the present invention will hereinafter be described in detail with reference to the accompanying drawings. Fig. 1 is a plan view showing the structure of an active matrix substrate constituting an active matrix display device of the present invention. Fig. 2 is a cross sectional view taken on the lines A - A of Fig. 1. The present embodiment will hereinbelow be described by following the manufacture process. Cr metal is deposited on the whole surface of a transparent insulating substrate 11 made of glass or quartz crystal in such a way as to have the thickness of 100 nm, to pattern the Cr metal layer, thereby forming a light blocking film 17. For the light blocking film 17, any of metals may be employed as long as its melting point is higher than 950°C as the highest temperature of the process, and hence metal may be, in addition to Cr, employed such as Ta, Ti, Nb or Mo. Then, a first base insulating film 18 made of  $\text{SiN}_x$  is deposited on the whole surface of the light blocking film 17 on the substrate 11 in such a way as to have the thickness of 50 nm, and further a second base insulating film 19 made of  $\text{SiO}_2$  is deposited thereover in such a way as to have the thickness



of 500 nm. At this time, the flattening process such as the reflow process may also be applied thereto. In this case, BPSG (BoroPhospho-Silicate Glass:  $\text{SiO}_2$ , the melting point of which is decreased by containing therein B and P) is formed on the whole surface of the substrate 11 partially covered with the light blocking film 17 in such a way as to have the thickness of 500 nm to carry out the reflow process and further an  $\text{SiO}_2$  layer is deposited thereon in such a way as to have the thickness of 200 nm.

[0012] Now, a polycrystalline silicon thin film 30 having substantially the L-like shape as shown in Fig. 1 is formed on the second base insulating film 19 and then a gate insulating film 13 is formed on the polycrystalline silicon thin film 30. In this connection, if necessary, the polycrystalline silicon thin film 30 is subjected to the crystallinity improving process such as the annealing. In addition, the width of the above-mentioned projecting portion of the light blocking film 17 for the portion becoming the channel layers 12, 12 after completion of the formation of the polycrystalline silicon thin film 30 is preferably equal to or larger than  $0.5 \mu\text{m}$ . If this width is smaller than  $0.5 \mu\text{m}$ , then the light which has been made incident to the substrate will reach the channel layer 12. This is unpreferable. A lower

electrode 5 for the capacitor is formed by doping the polycrystalline silicon thin film 30 with the impurity ions by utilizing the ion implantation method.

[0013] A gate bus wiring 1, gate electrodes 3a and 3b, and an additional capacitor wiring 6 each of which is made of n<sup>-</sup> type or p<sup>-</sup> type polycrystalline silicon are formed on the gate insulating film 13. A part of the gate bus wiring 1 functions as the gate electrode 3a. The additional capacitor wiring 6 has, as shown in Fig. 1, a wide portion 6a and a branching portion 6b which branches towards the gate electrodes 3a and 3b. An additional capacitor 27 is formed in the overlapping portion of a part of the additional capacitor wiring 6, the wide portion 6a and the branching portion 6b, and the above-mentioned polycrystalline silicon thin film 30. As a result, the additional capacity 27 has also the L-like shape. Then, the impurity ions are implanted into the portion other than the portion becoming the channel layers 12, 12 underlying the gate electrodes 3a and 3b with the gate electrodes 3a and 3b as a mask by utilizing the ion implantation method. As a result, the source region and the drain region and the channel layers 12, 12 of the TFTs 25a and 25b are formed in the self-aligned manner. In this connection, in the display device of the present embodiment as well, the TFT 25 consists of the

two TFTs 25a and 25b.

[0014] An interlayer insulating film 14 is formed over the gate bus wiring 1, the gate electrodes 3a and 3b, and the additional capacitor wiring 6. Contact holes 7a and 7b are, as shown in Fig. 2, formed through the interlayer insulating film 14. A source bus wiring 2 and a pixel connection electrode 9 each of which is made of low-resistance metal such as Al are formed over the interlayer insulating film 14. The source bus wiring 2 has, as shown in Fig. 1, the zigzag shape, and a source projecting portion 2a is provided in the portion corresponding to the upper portion on the left-hand side in the figure of the source bus wiring 2. The source projecting portion 2a is connected to the source region of the TFT 25a through the contact hole 7a. The pixel connection electrode 9 is connected to the drain region of the TFT 25b through the contact hole 7b. In addition, an insulating layer 16 made of  $\text{SiN}_x$  is formed on the whole surface of the source bus wiring 2 and the pixel connection electrode 9, and a contact hole 7c is formed through the insulating layer 16. In addition, the patterning of a pixel electrode 4 made of ITO is formed on the insulating layer 16. The pixel electrode 4 is connected to the pixel connection electrode 9 through the contact hole 7c. The pixel electrode 4 overlies, as shown in Fig. 1, the side

portion of the gate bus wiring 1, the source bus wiring 2 and the additional capacity wiring 6 and also overlies the wide portion 6a and the branching portion 6b of the additional capacitor wiring 6. In this connection, after completion of the formation of the interlayer insulating film 14, at any time point, the hydrogen plasma treatment may be carried out therefor.

[0015] Since in the present embodiment, the light which has been made incident from the substrate 11 side is blocked by the light blocking film 17, the light is not made incident to the channel layers 12, 12 of the TFT 25 at all. As a result, the generation of the carriers due to the optical excitation is suppressed.

[0016] While in the present embodiment, the light blocking film 17 is formed in such a way as to overlap with only the channel layers 12, 12 of the TFT 25, in addition thereto, the light blocking film 17 may also be formed in such a way as to overlap with the source bus wiring 2 and the gate bus wiring 1. In this case, it is also possible to prevent the leakage light due to the turbulence of the orientation of the liquid crystal molecules which are located in the position, in which no electric field is formed, other than the pixel electrode 4.

[0017]

[Effects of the Invention] As set forth hereinabove, according to an active matrix display device of the present invention, since the generation of the carriers due to the optical excitation in channel layers of a TFT is suppressed, the off-current of the TFT is not increased by even the light irradiation from the substrate side at all. Therefore, the active matrix display device of the present invention has the high reliability.

[Brief Description of Drawings]

[Fig. 1] A plane view showing the structure of an active matrix substrate constituting one embodiment of an active matrix display device of the present invention.

[Fig. 2] A cross sectional view taken on the line A - A of Fig. 1.

[Fig. 3] A circuit diagram showing schematically a basic configuration of a conventional active matrix display device.

[Fig. 4] A plane view showing the structure of an active matrix substrate constituting the display device shown in Fig. 3.

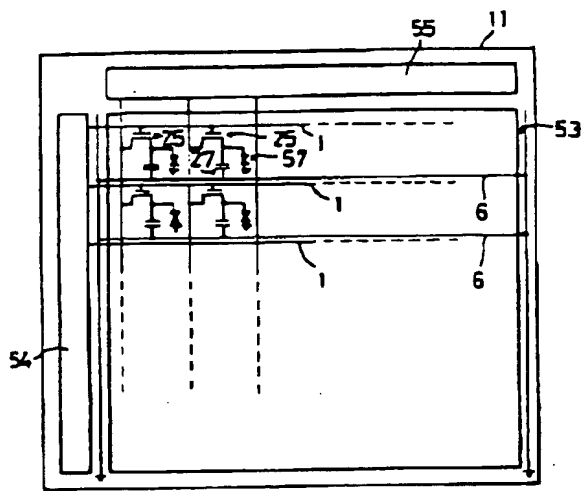
[Fig. 5] A cross sectional view taken on the line B - B of Fig. 4.

[Description of Reference Numerals]

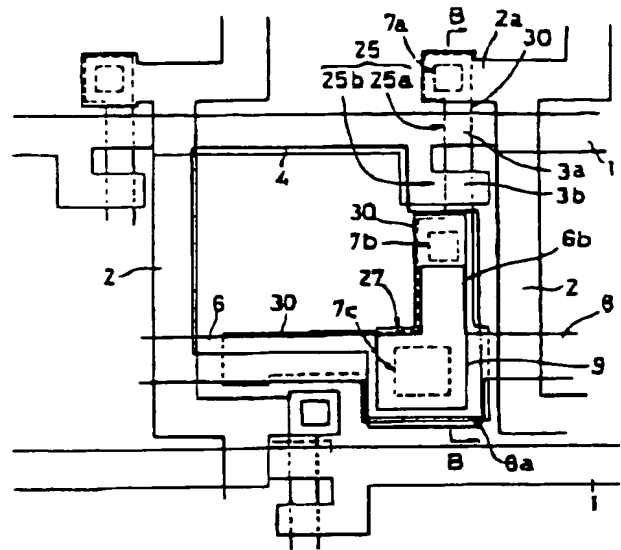
1: gate bus wiring, 2: source bus wiring, 2a: source projecting portion, 3a, 3b: gate electrode, 4: pixel electrode, 6: additional capacity wiring, 6a: wide portion, 6b: branching portion, 7a, 7b, 7c: contact hole, 9: pixel connection electrode, 11: transparent insulating substrate, 12: channel layer, 13: gate insulating film, 14: interlayer insulating film, 16: insulating layer, 17: light blocking layer, 18: first base insulating film, 19: second base insulating film, 25: TFT, 27: additional capacitor, 30: polycrystalline silicon thin film.

—206—

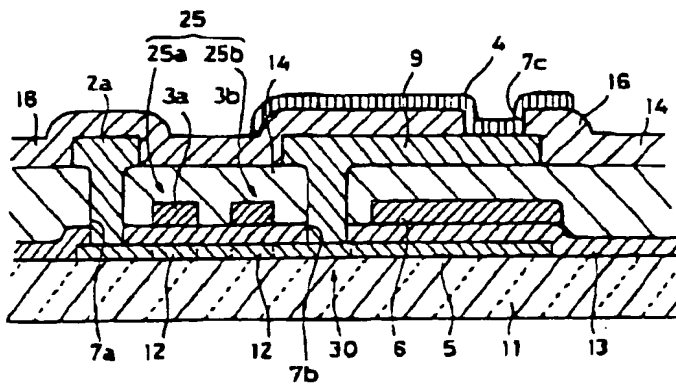
【図3】



【図4】



【図5】





DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 1999 European Patent Office. All rts. reserv.

10797263

Basic Patent (No,Kind,Date): JP 4283729 A2 921008 <No. of Patents: 001>

ACTIVE MATRIX DISPLAY DEVICE (English)

Patent Assignee: SHARP KK

Author (Inventor): SHIMADA NAOYUKI

IPC: \*G02F-001/136; G02F-001/133; G02F-001/1333; G02F-001/1335

CA Abstract No: 118(18)180222K

JAPIO Reference No: 170082P000110

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 4283729	A2	921008	JP 9148300	A	910313 (BASIC)

Priority Data (No,Kind,Date):

JP 9148300 A 910313

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

03918629      \*\*Image available\*\*

ACTIVE MATRIX DISPLAY DEVICE

PUB. NO.:      **04-283729** [JP 4283729 A]

PUBLISHED:      October 08, 1992 (19921008)

INVENTOR(s):   SHIMADA NAOYUKI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      03-048300 [JP 9148300]

FILED:           March 13, 1991 (19910313)

INTL CLASS:    [5] G02F-001/136; G02F-001/133; G02F-001/1333; G02F-001/1335

JAPIO CLASS:   29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL:        Section: P, Section No. 1489, Vol. 17, No. 82, Pg. 110,  
February 18, 1993 (19930218)

ABSTRACT

PURPOSE:    To offer the active matrix display device which does not increase  
the OFF current of a TFT even by light irradiation from a substrate side.

CONSTITUTION: A light shield film 17 is formed on a substrate 11 and  
channel layers 12 and 12 are formed on the light shield film 17 across base  
insulating films 18 and 19. Further, gate electrodes 3a and 3b are formed  
on the channel layers 12 and 12 across a gate insulating film 13.  
Consequently, TFTs 25a and 25b are completed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-283729

(43)公開日 平成4年(1992)10月8日

(51) Int.Cl. <sup>1</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1333	5 0 5	8806-2K	
	1/1335		7724-2K	

審査請求 未請求 請求項の数 2 (全 5 頁)

(21)出願番号 特願平3-48300

(22)出願日 平成3年(1991)3月13日

(71)出願人 000005049

シヤープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 島田 尚幸

大阪市阿倍野区長池町22番22号 シヤープ  
株式会社内

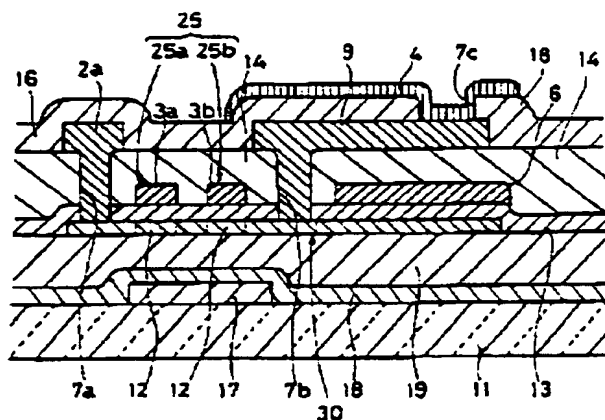
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【目的】 基板側からの光照射によっても、TFTのオフ電流が増加しないアクティブマトリクス表示装置を提供することである。

【構成】 基板 11 上に遮光膜 17 を形成し、遮光膜 17 上にベース絶縁膜 18 及び 19 を介してチャネル層 12、12 を形成する。更に、チャネル層 12、12 上にゲート絶縁膜 13 を介してゲート電極 3a、3b を形成を作製する。これにより、TFET 25a 及び 25b が完成する。



## 【特許請求の範囲】

【請求項1】少なくとも一方が透明な一対の絶縁性基板と、該透明基板に形成されたチャンネル層と、該チャンネル層上にゲート絶縁膜を挟んで形成されたゲート電極と、該チャンネル層に接続されたソース電極及びドレイン電極と、を有するアクティブマトリクス表示装置であって、該チャンネル層の下方に絶縁膜を挟んで遮光膜が重畳されているアクティブマトリクス表示装置。

【請求項2】前記ソース電極に接続されたソースバス配線を更に有し、前記遮光膜が前記ソースバス配線の下方に前記絶縁膜を挟んで重畳されている、請求項1に記載のアクティブマトリクス表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、スイッチング素子として薄膜トランジスタ（以下「TFT」という）を有し、液晶等の表示媒体を用いたアクティブマトリクス表示装置に関する。

## 【0002】

【従来の技術】図3に従来のアクティブマトリクス表示装置の基本構成の模式図を示す。この表示装置は、駆動回路とTFTアレイとを同一基板上に形成した構成を有している。絶縁性基板11上に、ゲート駆動回路54、ソース駆動回路55、及びTFTアレイ部53が形成されている。TFTアレイ部53には、ゲート駆動回路54から延びる多数の平行するゲートバス配線1が配設されている。ソース駆動回路55からは多数のソースバス配線2が延び、ゲートバス配線1に直交して配設されている。更に、ゲートバス配線1に平行して、付加容量配線6が配設されている。

【0003】ソースバス配線2、2と、ゲートバス配線1と、付加容量配線6とに囲まれた矩形の領域には、TFT25、絵素57、及び付加容量27が設けられている。TFT25のゲート電極はゲートバス配線1に接続され、ソース電極はソースバス配線2に接続されている。TFT25のドレイン電極に接続された絵素電極と対向基板1上の対向電極との間に液晶が封入され、絵素57が構成されている。絵素57は電気的には容量と等面であり、絵素57に書き込まれた信号を保持する作用を有する。また、TFT25のドレイン電極と付加容量配線6との間には、絵素57に書き込まれた映像信号を保持するための付加容量27が形成されている。付加容量配線6は、絵素57を構成する対向電極と同じ電位の電極に接続されている。

【0004】図4に図3の表示装置を構成するアクティブマトリクス基板の絵素部分の拡大平面図を示す。図5に図4のB-B線に沿った断面図を示す。透明基板11上に、図4に示すように略L字状の多結晶シリコン薄膜30が形成され、多結晶シリコン薄膜30上には、ゲート絶縁膜13が形成されている。多結晶シリコン薄膜30

0には必要に応じてアニール等の結晶性改善処理が行われる。容量用下部電極5は多結晶シリコン薄膜30にイオン注入法によるドーピングを行うことによって形成される。

【0005】ゲート絶縁膜13上には、多結晶シリコンによってゲートバス配線1、ゲート電極3a及び3b、並びに付加容量配線6が形成されている。ゲートバス配線1の一部がゲート電極3aとして機能している。付加容量配線6は、図4に示すように、幅広部分6aと、ゲート電極3a及び3bの方向に分岐した分岐部6bとを有する。付加容量配線6、その幅広部分6a及び分岐部6bと、前述の多結晶シリコン薄膜30との重畳部に付加容量27が形成される。従って、付加容量27もL字の形状を有する。このゲート電極3a及び3bをマスクとして、ゲート電極3a及び3bの下方のチャンネル層12、12となる部分以外の部分にイオン注入が行なわれる。これにより、TFT25a及び25bのソース領域及びドレイン領域、並びにチャンネル層12、12が自己整合的に形成される。尚、この表示装置ではTFT25は2個のTFT25a及び25bからなる。

【0006】ゲートバス配線1、ゲート電極3a及び3b、並びに付加容量配線6上には、層間絶縁膜14が形成されている。層間絶縁膜14には、図5に示すように2つのコンタクトホール7a、7bが形成されている。層間絶縁膜14上には、ソースバス配線2及び絵素接続電極9が形成されている。ソースバス配線2は、図4に示すようにジグザグ形状を有し、ソースバス配線2の図上左側上部に相当する部分には、ソース突出部2aが設けられている。ソース突出部2aはコンタクトホール7aを介してTFT25aのソース領域に接続されている。絵素接続電極9はコンタクトホール7bを介してTFT25bのドレイン領域に接続されている。更に、ソースバス配線2及び絵素接続電極9上の全面には絶縁層16が形成され、絶縁層16にはコンタクトホール7cが形成されている。また、絶縁層16上にはITOから成る絵素電極4がパターン形成されている。絵素電極4はコンタクトホール7cを介して絵素接続電極9に接続されている。絵素電極4は、図4に示すように、ゲートバス配線1、ソースバス配線2及び付加容量配線6の側部に重畳され、付加容量配線6の幅広部分6a及び分岐部6b上にも重畳されている。

## 【0007】

【発明が解決しようとする課題】このアクティブマトリクス基板では、TFT25のチャンネル層12、12が基板11側に形成され、ゲート電極3a及び3bがチャンネル層12、12上に形成されているので、光が基板11側から入射する場合には、TFT25のチャンネル層12、12に光が直接入射する。そのため、チャンネル層12、12には光励起によるキャリアが発生し、TFT25がオフの時のオフ電流が増加する。オフ電流が増加す

ると、閾値電圧 $V_{th}$ が大きくなり、信頼性に問題が生じる。

【0008】本発明はこのような問題点を解決するものであり、本発明の目的は、基板側からの光照射によっても、TFTのオフ電流が増加しないアクティブマトリクス表示装置を提供することである。

【0009】

【課題を解決するための手段】本発明のアクティブマトリクス表示装置は、少なくとも一方が透明な一対の絶縁性基板と、該透明基板に形成されたチャネル層と、該チャネル層上にゲート絶縁膜を挟んで形成されたゲート電極と、該チャネル層に接続されたソース電極及びドレイン電極と、を有するアクティブマトリクス表示装置であって、該チャネル層の下方に絶縁膜を挟んで遮光膜が重畳されており、そのことによって上記目的が達成される。

【0010】また、前記ソース電極に接続されたソースバス配線を更に有し、前記遮光膜が前記ソースバス配線の下方に前記絶縁膜を挟んで重畳されている構成とすることができ。

【0011】

【実施例】本発明の実施例について以下に説明する。図1に、本発明のアクティブマトリクス表示装置を構成するアクティブマトリクス基板の平面図を示す。図2に図1のA-A線に沿った断面図を示す。本実施例を製造工程に従って説明する。ガラス、石英等の透明絶縁性基板11上の全面に、Cr金属が100nmの厚さに堆積され、このCr金属層をパターニングすることにより、遮光膜17が形成される。遮光膜17には、プロセスの最高温度950℃より高い融点を有する金属であれば用いることができ、Cr以外にTa、Ti、Nb、Mo等の金属を用いることができる。この遮光膜17を覆って基板11上の全面に、SiN<sub>x</sub>からなる第1ベース絶縁膜18が50nmの厚さに堆積され、更にSiO<sub>2</sub>からなる第2ベース絶縁膜19が500nmの厚さに堆積される。このときに、リフロー等の平坦化工程を加えることもできる。その場合には、遮光膜17を覆って基板11上の全面に、BPSG(B、Pによって融点が低下したSiO<sub>2</sub>)が500nmの厚さに形成され、リフローが行われ、更にSiO<sub>2</sub>が200nmの厚さに堆積される。

【0012】次に、第2ベース絶縁膜19上に、図1に示すように略し字状の多結晶シリコン薄膜30が形成され、多結晶シリコン薄膜30上には、ゲート絶縁膜13が形成されている。多結晶シリコン薄膜30には必要に応じてアニール等の結晶性改善処理が行われる。また、多結晶シリコン薄膜30の後にチャネル層12、12となる部分に対する前述の遮光膜17のはみ出し部分の幅は、0.5μm以上であることが好ましい。この幅が0.5μmより小さいと、基板に入射した光がチャネル

層12に到達してしまうので好ましくない。容量用下部電極5は、多結晶シリコン薄膜30にイオン注入法によるドーピングを行うことによって形成される。

【0013】ゲート絶縁膜13上には、n<sup>+</sup>型又はp<sup>+</sup>型の多結晶シリコンによってゲートバス配線1、ゲート電極3a及び3b、並びに付加容量配線6が形成される。ゲートバス配線1の一部がゲート電極3aとして機能している。付加容量配線6は、図1に示すように、幅広部分6aと、ゲート電極3a及びゲート電極3bの方向に分岐した分岐部6bとを有する。付加容量配線6の一部、幅広部分6a及び分岐部6bと、前述の多結晶シリコン薄膜30との重畳部に付加容量27が形成される。従って、付加容量27もL字の形状を有する。このゲート電極3a及び3bをマスクとして、ゲート電極3a及び3bの下方のチャネル層12、12となる部分以外の部分にイオン注入が行なわれる。これにより、TFT25a及び25bのソース領域及びドレイン領域、並びにチャネル層12、12が自己整合的に形成される。尚、本実施例の表示装置でもTFT25は2個のTFT25a及び25bからなる。

【0014】ゲートバス配線1、ゲート電極3a及び3b、並びに付加容量配線6上には、層間絶縁膜14が形成される。層間絶縁膜14には、図2に示すようにコンタクトホール7a、7bが形成される。層間絶縁膜14上には、ソースバス配線2及び絵素接続電極9がA1等の低抵抗の金属によって形成される。ソースバス配線2は、図1に示すようにジグザグ形状を有し、ソースバス配線2の図上左側上部に相当する部分には、ソース突出部2aが設けられている。ソース突出部2aはコンタクトホール7aを介してTFT25aのソース領域に接続されている。絵素接続電極9はコンタクトホール7bを介してTFT25bのドレイン領域に接続される。更に、ソースバス配線2及び絵素接続電極9上の全面にはSiN<sub>x</sub>からなる絶縁層16が形成され、絶縁層16にはコンタクトホール7cが形成される。また、絶縁層16上にはITOから成る絵素電極4がパターン形成される。絵素電極4はコンタクトホール7cを介して絵素接続電極9に接続されている。絵素電極4は、図1に示すように、ゲートバス配線1、ソースバス配線2及び付加容量配線6の側部に重畳され、付加容量配線6の幅広部分6a及び分岐部6b上にも重畳されている。尚、層間絶縁膜14の形成後、何れかの時点で水素プラズマ処理を行ってもよい。

【0015】本実施例では、基板11側から入射する光は遮光膜17によって遮光されるため、TFT25のチャネル層12、12には光は入射しない。従って、光励起によるキャリアの発生が抑制される。

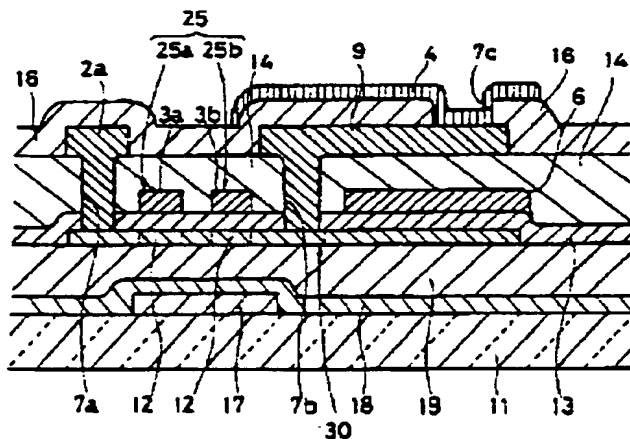
【0016】本実施例では、遮光膜17はTFT25のチャネル層12、12にのみ重畳されるように形成されているが、更にソースバス配線2及びゲートバス配線1

6

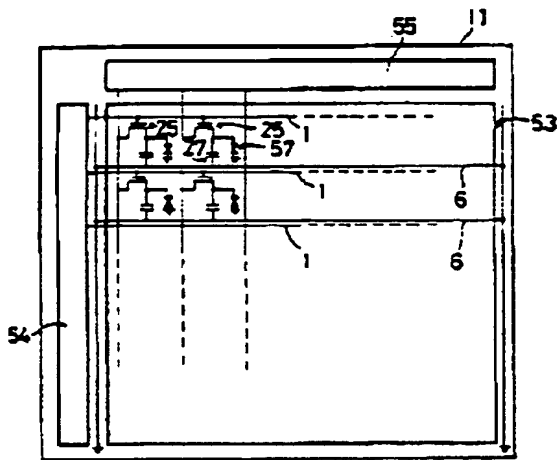
【符号の説明】

- 1 ゲートバス配線
- 2 ソースバス配線
- 2 a ソース突出部
- 3 a, 3 b ゲート電極
- 4 絵素電極
- 6 付加容量配線
- 6 a 幅広部分
- 6 b 分岐部
- 7 a, 7 b, 7 c コンタクトホール
- 9 絵素接続電極
- 11 透明絶縁性基板
- 12 チャネル層
- 13 ゲート絶縁膜
- 14 層間絶縁膜
- 16 絶縁層
- 17 遮光膜
- 18 第1ベース絶縁膜
- 19 第2ベース絶縁膜
- 25 TFT
- 27 付加容量
- 30 多結晶シリコン薄膜

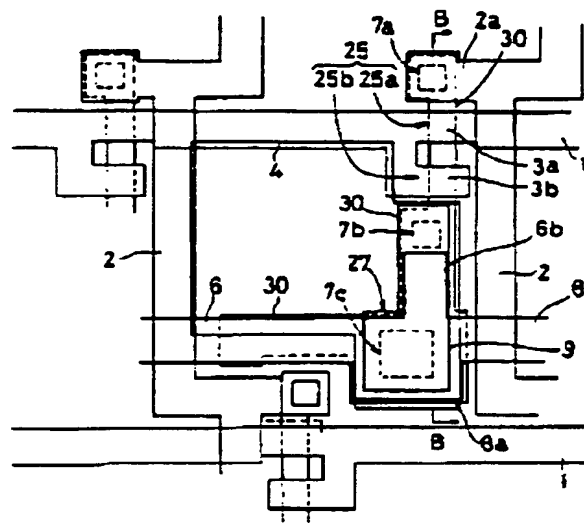
【图 2】



【図3】



【図4】



【図5】

